

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-027486

(43)Date of publication of application : 27.01.1998

(51)Int.Cl.

G11C 16/04

(21)Application number : 08-180859

(71)Applicant : HITACHI LTD
HITACHI VLSI ENG CORP

(22)Date of filing : 10.07.1996

(72)Inventor : YOSHIDA KEIICHI
KUBONO SHYUJI

(54) NONVOLATILE SEMICONDUCTOR STORAGE AND WRITE-IN METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To minimize a fluctuation in a threshold of a memory cell due to word line disturbance and to reduce a peak current and power consumption at a write-in time by starting a write-in from the memory cell with the threshold far from an erase level in a multilevel memory.

SOLUTION: In a nonvolatile semiconductor storage setting a plurality of thresholds and storing multilevel information in one memory cell, the write-in is started from writing in the memory cell with the threshold far from the erase level, and is performed successively to the memory cell with the threshold near to the erase level. Thus, the number of times of the word line disturbance applied to the memory cell with the threshold near to the erase level exceedingly easy to receive the effect of the word line disturbance are reduced, and the variation in the threshold due to the word line disturbance is minimized. Further, total numbers of data lines to be recharged are reduced, and the peak current and mean power consumption at the write-in are reduced.

LEGAL STATUS

[Date of request for examination] 13.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3062730

[Date of registration] 12.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-27486

(43) 公開日 平成10年(1998) 1月27日

(51) Int.Cl.⁸
G11C 16/04

識別記号 庁内整理番号

F I
G11C 17/00

技術表示箇所

308

審査請求 未請求 請求項の数6 OL (全15頁)

(21) 出願番号 特願平8-180859

(22) 出願日 平成8年(1996) 7月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233468

日立超エル・エス・アイ・エンジニアリン
グ株式会社

東京都国分寺市東恋ヶ窪三丁目1番地1

(72) 発明者 吉田 敬一

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74) 代理人 弁理士 大日方 富雄

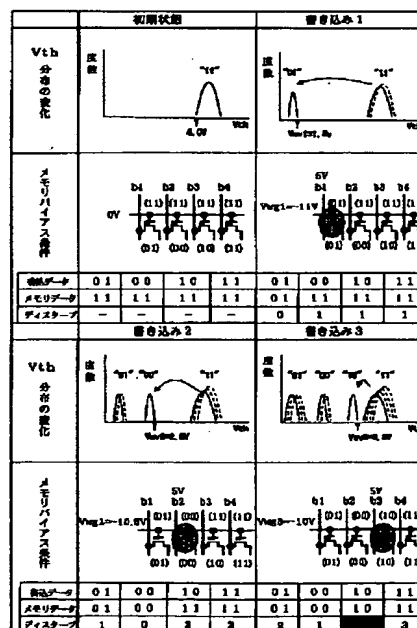
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置および書込み方法

(57) 【要約】

【課題】 フラッシュメモリでは、消去レベルに近いしきい値のメモリセルから、しきい値が遠いメモリセルへ順次書込みを行なうようにすると、ワード線ディスタープによるしきい値の変動が大きい。また、書込みの際にしきい値をずらしたいすべてのメモリセルに対して書込みパルスを印加するため、書込み時のピーク電流が増大するとともに平均消費電力も多くなるという課題があった。

【解決手段】 複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、消去レベルから遠いしきい値のメモリセルへの書込みから開始して順次しきい値に近いメモリセルへの書込みを行なうようにした。



【特許請求の範囲】

【請求項1】 メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に变化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶させるように構成された不揮発性半導体記憶装置において、消去レベルから遠いしきい値のメモリセルへの書込みから開始して順次しきい値が近いメモリセルへの書込みを行なうようにしたことを特徴とする不揮発性半導体記憶装置の書込み方法。

【請求項2】 上記多値データをメモリアレイ内の選択されたメモリセルに書き込み電圧を現象させつつ順次書き込みを行なうことを特徴とする請求項1に記載の不揮発性半導体記憶装置の書込み方法。

【請求項3】 上記消去レベルはメモリセルのしきい値が最も高い状態であり、書込みに先立って全てのメモリセルのしきい値を消去レベルに設定しておくようにしたことを特徴とする請求項1または2に記載の不揮発性半導体記憶装置の書込み方法。

【請求項4】 メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に变化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶させるようにされた不揮発性半導体記憶装置において、入力されたデータの複数ビットに対して所定の演算を実行しそれらの組合わせに応じて書込みに適した多値データに変換するデータ変換回路を設けるとともに、メモリアレイには各マット内のデータ線が入出力端子に接続され上記データ変換回路で変換された多値データを保持可能なセンスラッチ回路およびデータラッチ回路が配置されてなることを特徴とする不揮発性半導体記憶装置。

【請求項5】 上記データ変換回路は入力されたデータを2ビットごとに所定の演算を実行しそれらの組合わせに応じた3ビットのデータに変換するよう構成されているとともに、上記メモリアレイは偶数個のマットで構成され、対応する2つのマット間には各マット内のデータ線が入出力端子に接続され上記データ変換回路で変換された3ビットデータのうち1ビットを保持可能なセンスラッチ回路が配置され、各マットの外側にはそれぞれ上記データ変換回路で変換された3ビットデータのうち他の1ビットをそれぞれ保持可能なデータラッチ回路が配置されてなることを特徴とする請求項4に記載の不揮発性半導体記憶装置。

【請求項6】 上記データラッチ回路に保持されたデータは、データ線を介して上記センスラッチ回路に転送されてから選択メモリセルに書込みがなされるように構成されてなることを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置さらには不揮発性半導体記憶装置における多値情報の記憶方式に適用して特に有効な技術に関し、例えば複数の記憶情報を電氣的に一括消去可能な不揮発性記憶装置（以下、単にフラッシュメモリという）に利用して有効な技術に関するものである。

【0002】

【従来の技術】フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用しており、1個のトランジスタでメモリセルを構成することができる。かかるフラッシュメモリにおいては、書き込み動作では、図10に示すように不揮発性記憶素子のドレイン領域を例えば5V（ボルト）程度にし、コントロールゲートCGが接続されたワード線を-11V程度にすることにより、トンネル電流によりフローティングゲートFGから電荷を引き抜いて、しきい値電圧が低い状態（論理“0”）にする。消去動作では、図11に示すように、ウェル領域、ドレイン領域、ソース領域を-4V程度にし、コントロールゲートCGを12Vのような高電圧にしてトンネル電流を発生させてフローティングゲートFGに負電荷を注入してしきい値を高い状態（論理“1”）にする。これにより1つのメモリセルに1ビットのデータを記憶させるようにしている。

【0003】ところで、記憶容量を増大させるために1メモリセル中に2ビット以上のデータを記憶させる、いわゆる「多値」メモリの概念が提案されている。この多値メモリに関する発明としては、特願平7-14031号などがある。

【0004】

【発明が解決しようとする課題】上記先願の多値メモリにおいては、3段階の書込みを図12に示すように、消去レベル（しきい値約5V）を起点として、消去レベルに近いしきい値のメモリセルへの書込みから開始して順次しきい値が遠いメモリセルへの書込みを行なうようにしていた。これは、多値データの書込み時間を短くするためである。しかし、フラッシュメモリでは、ワード線を共通にするビットへの書込み動作に伴い非選択のメモリセルにも高い電圧が印加されて弱い書込み（ディスタープ）状態が生じ、しきい値電圧が変動して記憶データが変化してしまうおそれがあることが知られている。

【0005】しかも、本発明者等は、上記ワード線ディスタープによるしきい値の変動は、消去レベルに近いしきい値のメモリセルよりもしきい値が遠いメモリセルの方が影響を受け易いという特徴があることを見出した。これは、メモリチップを製造したときの初期しきい値が消去レベルよりずっと低く、メモリセルはディスタープがかかると上記初期しきい値に戻ろうとする性質があるためと考えられる。

【0006】ところが、上記先願の書込み方式では、消

去レベルに近いしきい値のメモリセルから、しきい値が遠いメモリセルへ順次書込みを行なうようにしていたため、ワード線ディスタープによるしきい値の変動が大きいという問題点があることが明らかになった。すなわち、従来の書込み方式では、図12に示すように、消去レベルに最も遠いしきい値(約2.4V)のメモリセル(データ“01”)に着目するとこのメモリセルには1度もワード線ディスタープがかからないのに、ディスタープの影響を最も受け易い消去レベルに最も近いしきい値(約3.2V)のメモリセル(データ“10”)には平均して2回のワード線ディスタープがかかってしまうという不都合がある。

【0007】また、上記先願の書込み方式では、第1段階の書込みの際にしきい値をずらしたいすべてのメモリセルに対して書込みパルスを印加するため、書込み時のピーク電流が増大するとともに平均消費電力も多くなるという不都合があることが明らかになった。

【0008】この発明の目的は、ワード線ディスタープによるメモリセルのしきい値の変動を最小に抑えることが可能な多値記憶型不揮発性半導体記憶装置を提供することにある。

【0009】この発明の他の目的は、書込み時のピーク電流と平均消費電力を低減可能な不揮発性半導体記憶装置を提供することにある。

【0010】この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0011】

【課題を解決するための手段】本願において開示される発明のうち代表的なものを概要を簡単に説明すれば、下記のとおりである。

【0012】すなわち、複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、消去レベルから遠いしきい値のメモリセルへの書込みから開始して順次しきい値が近いメモリセルへの書込みを行なうようにしたものである。

【0013】これによって、ワード線ディスタープの影響を最も受け易い消去レベルに近いしきい値のメモリセルに対してかかるワード線ディスタープの回数を減らすことができ、ワード線ディスタープによるしきい値の変動を最小に抑えることができる。

【0014】また、上記手段により、1回の書込みでプリチャージしなければならないデータ線数と書込み開始から終了するまでにプリチャージしなければならないデータ線の総数を従来方式に比べて少なくして、書込み時のピーク電流と平均消費電力を低減することができる。

【0015】

【発明の実施の形態】以下、本発明を1つのメモリセルに4値を記憶可能なフラッシュメモリに適用した場合に

ついてその実施例を図面を用いて説明する。

【0016】図1は本実施例のフラッシュメモリのデータ書込み順序を示したものである。この実施例では、書込みに先立ってすべてのメモリセルを消去レベル(しきい値約5V、記憶データ“11”)にする。次に図1に示すように、消去レベルから最も遠いしきい値(約1.4V)のメモリセル(記憶データ“01”)への書込みを行なう。その後、消去レベルから2番目に遠いしきい値(約2.4V)のメモリセル(記憶データ“00”)への書込みを行ない、最後に消去レベルに最も近いしきい値(約3.2V)のメモリセル(記憶データ“10”)への書込みを行なう。

【0017】これによって、最もワード線ディスタープの影響を受けにくい消去レベルから最も遠いしきい値(約1.4V)のメモリセル(記憶データ“01”)に対してかかるワード線ディスタープの回数は2回になるが、最もワード線ディスタープの影響を受け易い消去レベルに最も近いしきい値(約3.2V)のメモリセル(記憶データ“10”)に対してかかるワード線ディスタープの回数は0回に減らすことができ、図11に示す消去レベルに近い側から書込みを行なう方法に比べてワード線ディスタープによるしきい値の変動を小さく抑えることができる。

【0018】図2にはメモリアレイ10の具体例を示す。この実施例のメモリアレイ10は2つのマットで構成されており、図2にはそのうち片方(上側)のメモリアレイの具体例が示されている。同図に示すように、各メモリマットは、列方向に配列され各々ソースおよびドレインが共通接続された並列形態のn個のメモリセル(フローティングゲートを有するMOSFET)MC1~MCnからなるメモリ列MCCが行方向(ワード線WL方向)および列方向(データ線DL方向)にそれぞれ複数個配設されている。各メモリ列MCCは、n個のメモリセルMC1~MCnのドレインおよびソースがそれぞれ共通のローカルドレイン線LDLおよび共通のローカルソース線LSLに接続され、ローカルドレイン線LDLはスイッチMOSFET Qs1を介してデータ線DLに、またローカルソース線LSLはスイッチMOSFET Qs2を介して接地点または負電圧に接続可能にされた構成にされている。

【0019】上記複数のメモリ列MCCのうちワード線方向に配設されているものは半導体基板上の同一のウェル領域WELL内に形成され、データ消去時にはそのウェル領域WELLに-4Vのような負電圧を与え、ウェル領域を共通にするワード線に12Vのような電圧を印加することで、一括消去が可能にされている。なお、データ消去時にはウェル領域を共通にするすべてのスイッチMOSFET Qs1、Qs2がオン状態にされて、各メモリセルのソースおよびドレインに-4Vの負電圧が印加されるように構成されている。

【0020】一方、データ書込み時には、選択されるメモリセルが接続されたワード線に -1.1V のような負電圧が印加されるとともに、選択されるメモリセルに対応したデータ線DLが 5V のような電位にされかつ選択メモリセルが接続されたローカルドレイン線LDL上のスイッチMOSFET Qs1がオン状態され、ドレインに 5V が印加される。ただし、このときローカルソース線LSL上のスイッチMOSFET Qs2はオフ状態とされている。また、データ読出し時には、選択されるメモリセルが接続されたワード線に 1.5V 、 2.5V 、 3.3V のような電圧が印加されるとともに、選択されるメモリセルに対応したデータ線DLが 1V のような電位にプリチャージされかつ選択メモリセルが接続されたローカルドレイン線LDL上のスイッチMOSFET Qs1がオン状態される。そして、このときローカルソース線LSL上のスイッチMOSFET Qs2はオン状態とされ、接地電位が印加される。

【0021】上記データ線DLの一端（メモリアレイの中央側）には読出し時にデータ線のレベルを検出するとともに書込み時に書込みデータに応じた電位を与えるセンスラッチ回路SLTがそれぞれ接続され、データ線DLの他端には書込みデータおよびリードデータを保持可能なデータラッチ回路DLTがそれぞれ接続されている。この実施例のメモリアレイは2つのマットで構成されているため、センスラッチ回路SLTの反対側すなわち図の下側にも上記と同様のメモリマットが配置されており、そのメモリアレイ内の各データ線DLが対応するセンスラッチ回路SLTの他方の入出力端子に接続されている。

【0022】図3には、上記センスラッチ回路SLTおよびデータラッチ回路DLTの具体的な回路例を示す。回路はセンスラッチ回路を挟んで対称であるため、一方のメモリマット内の1本のデータ線に関してのみ図示するとともに、便宜上、データ線に接続されているメモリ列のうち1つのメモリ列MCCのみ示したが、実際には複数のメモリ列MCCが接続されるものである。図示のごとく、センスラッチ回路SLTはPチャネルMOSFETとNチャネルMOSFETからなる2つのCMOSインバータの入出力端子が交差結合されたフリップフロップ回路FF1を備えている。そして、上記センスラッチ回路SLTの一方の入出力端子Naに一方のメモリマット内のデータ線DLaがデータ転送MOSFET Qt1を介して接続されている。また、センスラッチ回路SLTの他方の入出力端子Nbには他方のメモリマット内のデータ線DLbがデータ転送MOSFET Qt1'を介して接続されている。

【0023】さらに、上記センスラッチ回路SLTの入出力端子Na、Nbにはそれぞれディスチャージ用のMOSFET Qd1、Qd1'が接続され、データ線DLaの他端にもディスチャージ用MOSFET Qd2が接続さ

れている。また、各データ線DLにはプリチャージ用のMOSFET Qp1、Qp2が接続され、このうちQp1はMOSFET Qc1を介して電源電圧VccまたはVssが供給される端子に接続されている。なお、このセンスラッチ回路SLTの入出力端子Na、Nbには図示しないコモン入出力線を介して後述のデータ変換回路から書込みデータが入力可能にされている。

【0024】一方、上記データラッチ回路DLTはセンスラッチ回路SLTと同様にPチャネルMOSFETとNチャネルMOSFETからなる2つのCMOSインバータの入出力端子が交差結合されたフリップフロップ回路FF2を備えている。そして、上記データラッチ回路DLTの一方の入出力端子Ncにメモリマット内のデータ線DLaがデータ転送MOSFET Qt2を介して接続されている。また、データラッチ回路DLTの入出力端子Ncにはディスチャージ用のMOSFET Qd3が接続され、データ線DLaと電源電圧Vccとの間にはプリチャージ信号PC_Uおよび上記入出力端子Ncの電位によってオン、オフされるMOSFET Qp3およびQc2が直列形態に接続されている。

【0025】さらに、データラッチ回路DLTの入出力端子Ncには図示しないコモン入出力線を介して後述のデータ変換回路から書込みデータが入力可能にされている。また、図3には示されていないが、上記センスラッチ回路SLTの入出力端子Nbに接続されたデータ線DLbの他端にもデータ変換回路からの書込みデータを保持するフリップフロップ回路からなるデータラッチ回路DLTが配置されている。

【0026】図4は、外部から入力される記憶すべきデータからメモリセルに記憶される多値データへの変換回路20および変換回路20とメモリアレイ10内のセンスラッチ列11およびデータラッチ列12a、12bとの関係を示す。データ変換回路20は、入力バッファ部21とデータ変換部22とからなり、8ビットのデータが2ビットずつペアにして並列に入力可能にされている。図4には、そのうち1組の入力バッファ部とデータ変換部の詳細が示されている。以下、そのうち1組のデータ変換回路について説明する。

【0027】1組のデータ変換回路内の入力バッファ部21は2つのクロックドインバータINV1、INV2およびラッチ回路LT1、LT2から構成され、データ変換部22は上記各組のラッチ回路LT1、LT2に接続されたインバータINV11、INV12と、この2つのインバータINV11、INV12の出力と上記各組のラッチ回路LT1、LT2の出力とを入力信号とする3個のNANDゲート回路G1、G2、G3と、これらのゲート回路の出力を反転するインバータINV21、INV22、INV23と、これらのインバータに接続されたMOSFETからなる伝送ゲートTG1、TG2、TG3とによって構成され、入力された2ビット

のデータを3ビットのデータに変換し、全体として3ビット×4のデータを出力する。

【0028】表1には、上記データ変換回路20におけ

るデータ変換例を示す。

【0029】

【表1】

書込データ	I/O 0	I/O 1	DLU [1]	SL [1]	DLD [1]
01	0	1	0	1	0
00	0	0	1	0	0
10	1	0	0	0	1
11	1	1	0	0	0

表1に示されているように、書込みデータ“01”は3ビットのデータ“010”に変換され、書込みデータ“00”は3ビットのデータ“100”に変換され、書込みデータ“10”は3ビットのデータ“001”に変換され、書込みデータ“11”は3ビットのデータ“000”に変換される。そして、変換後“1”に相当するビットに対応するメモリセルにのみ書込みがなされ、変換後“0”に相当するビットに対応するメモリセルには書込みがなされないこととなる。

【0030】上記データ変換回路20に最初に入力された8ビットの書込みデータのビットI/O0、I/O1を変換して得られた3ビットのデータはメモリアレイ10の両端（図では上と下）に配置されているデータラッチ列12a、12bとメモリアレイの中央に配置されているセンスラッチ列11の1番目のラッチ回路にそれぞれ転送され、保持される。また、書込みデータのビットI/O2、I/O3を変換して得られた3ビットのデータはメモリアレイ10の両端（図では上と下）に配置されているデータラッチ列12a、12bとメモリアレイの中央に配置されているセンスラッチ回路11の2番目のラッチ回路にそれぞれ転送され、保持される。

【0031】以下同様に、書込みデータのビットI/O4、I/O5を変換して得られた3ビットのデータはデータラッチ列12a、12bとセンスラッチ列11の3番目のラッチ回路にそれぞれ転送され、保持される。書込みデータのビットI/O6、I/O7を変換して得られた3ビットのデータはデータラッチ列12a、12bとセンスラッチ列11の4番目のラッチ回路にそれぞれ転送され、保持される。次に入力された8ビットの書込みデータは、データ変換回路20で変換されてデータラッチ回路12a、12bとセンスラッチ回路11の5～8番目のビットにそれぞれ転送され、保持される。

【0032】上記動作を繰り返してデータラッチ列12a、12bとセンスラッチ列11の全てのラッチ回路にデータが格納された時点で、メモリ内部に設けられている後述の制御回路が書込みシーケンスを起動して、最初にセンスラッチ列11に保持されているデータ、次にセンスラッチ列12aのデータ、その後に12bのデータの順で書込みを実行する。なお、制御回路は外部のCPU等から入力されるコマンドに従って制御を行なうように構成されている。

【0033】図5には、データ書込み時のタイミングが示されている。同図から分かるように、書込み時には、まず書込みコマンドが入力され、続いて、書込み先のセクタアドレスadd1、add2が入力されてそれぞれライトイネーブル信号/WEの立下がりに同期して取り込まれる。このとき、コマンドとアドレスの識別は同時に入力される制御信号（コマンド・データ・イネーブル信号）/CDEによって区別される。すなわち、/CDEがロウレベルのときはコマンドまたはデータが入力されていると判別し、/CDEがハイレベルのときはアドレスが入力されていると判別する。

【0034】アドレスの次に、1セクタ（1つのワード線に接続されているメモリセル）に記憶すべき最初の8ビットの書込みデータD1が入力され、クロックSCに同期して上記入力バッファ部21に取り込まれる。そして、データ変換回路20におけるデータ変換後にゲート制御信号YGによって上記伝送ゲートTG1～TG3が開かれて、3ビット×4の書込みデータがデータラッチ列12a、12bとセンスラッチ列11に順次転送され、保持される。その後、8ビット単位で入力される書込みデータD2、D3、・・・D528が逐次データ変換されてセンスラッチ列11とデータラッチ列12a、12bに格納されて行く。1セクタ分の書込みデータの転送が終了すると、外部から書込み開始コマンドが入力されて取り込まれ、このコマンドを解釈し前記書込みシーケンスを実行することで1セクタ分のデータの書込みが同時に行なわれる。

【0035】メモリアレイ10では、上記センスラッチ列11とデータラッチ列12a、12bに格納されたデータが“1”になっているデータ線に接続されている記憶素子に対して書込み動作すなわち書込みパルスの印加が行なわれて、各記憶素子のしきい値が図1に示すようにシフトされて4値のデータを1メモリセルに書き込むことができる。図6に書込み制御手順を示す。

【0036】図6における第1ステップS1（書込みデータをラッチ1～3に転送）が上記データ変換回路20からセンスラッチ列11とデータラッチ列12a、12bへのデータ転送であり、第2ステップS2以降が上記書込み開始コマンドが入力されることで開始される制御シーケンスである。

【0037】この制御シーケンスでは、まず最初に、既

に取り込まれている書込みアドレスをデコードすることによって選択されたワード線を -1.1V のような電位に設定する(ステップS2)。これとともに、データ線上の伝送MOSFET Q_{t1}をオンさせて、そのときセンスラッチ列11に保持されているデータに応じてデータが“1”になっているデータ線を 5V のような電位に設定して書込みを行なわせる。次に、データ線を 1V のような電位にプリチャージしてから上記選択ワード線を 1.5V のような電圧に設定して、ベリファイ読出しを行なう。このとき正常に書込みが終了したメモリセルからセンスラッチ列11に読み出されたデータは“0”に変化する。そこで、センスラッチ列11の保持データがすべて“0”になっているか否かを判定する(ステップS3)。そして、1つでも“1”のデータが残っている場合には、そのときセンスラッチ列11に保持されているデータを用いて再度書込みを行なう(ステップS4)。

【0038】ベリファイ判定の結果、センスラッチ列11のデータがすべて“0”になった場合にはステップS5へ進んで、データラッチ列12aに保持されているデータをセンスラッチ列11へ転送する。それから、選択ワード線を前回よりも若干低い $-1.0.5\text{V}$ のような電位に設定する(ステップS6)。次に、センスラッチ列11に保持されたデータに基づいて書込みを行なった後、選択ワード線を 2.5V のような電圧に設定して、ベリファイ読出しを行なって、センスラッチ列11の保持データがすべて“0”になっているか否かを判定する(ステップS7)。そして、1つでも“1”のデータが残っている場合には、そのときセンスラッチ列11に保持されているデータを用いて再度書込みを行なう(ステップS8)。

【0039】ベリファイ判定の結果、センスラッチ列11のデータがすべて“0”になった場合には、ステップS9へ進んで、今度はデータラッチ列12bに保持されているデータをセンスラッチ列11へ転送する。それから、選択ワード線を前回よりもさらに若干低い -1.0V のような電位に設定する(ステップS10)。次に、センスラッチ列11に保持されたデータに基づいて書込みを行なった後、選択ワード線を 3.3V のような電圧に設定して、ベリファイ読出しを行なって、センスラッチ列11の保持データがすべて“0”になっているか否かを判定する(ステップS11)。そして、1つでも“1”のデータが残っている場合には、そのときセンスラッチ列11に保持されているデータを用いて再度書込みを行なう(ステップS12)。

【0040】以上の手順により、消去レベルから遠いしきい値のメモリセルへの書込みから順次しきい値に近いメモリセルへの書込みが実行されて、書込み動作が終了する。これによって、消去レベルに近いしきい値のメモリセルに対してかかるワード線ディスターブの回数を減らすことができ、ワード線ディスターブによるしきい値

の変動を最小に抑えることができる。しかも、上記実施例では、書込みワード線電圧を -1.1V 、 $-1.0.5\text{V}$ 、 -1.0V のように、絶対値を徐々に小さくして行くようにしているため、1回に生じるディスターブの量も次第に小さくなり、しきい値の変動を更に小さくすることができる。ただし、書込み電圧を徐々に下げて行く代わりに書込みパルス幅を徐々に小さくして行くようにしてもよい。

【0041】次に、上記ステップS5、S9におけるデータラッチ列12a、12bからセンスラッチ列11へのデータ転送の具体的方法を、図3の回路図および図7のタイミングチャートを使用して説明する。

(1) 先ず、センスラッチ回路SLTのPMOS側の電源電圧を V_{ss} (接地電位)に設定してセンスラッチ回路SLTを非活性状態にし、ディスチャージMOSFET Q_{d1}のゲートにリセットパルス RS_{A_CU} を与えて、ノードNaの電荷を引き抜く。

(2) 次に、データラッチ回路DLTのプリチャージMOSFET Q_{p3}のゲート制御信号 PC_U をハイレベルにしてデータラッチ回路DLTの保持データを使ってデータ線DL aを $V_{cc}-V_{th}$ までプリチャージさせる。

(3) データラッチ回路DLTの伝送MOSFET Q_{t2}のゲート制御信号 TR_U をハイレベルにしてデータラッチ回路DLTの保持データを使ってデータ線DL aをさらに V_{cc} までプリチャージさせる。

(4) センスラッチ回路SLT側の伝送MOSFET Q_{t1}のゲート制御信号 TR_{CU} をハイレベルにしてデータ線DL aのレベルをノードNaに伝える。

(5) センスラッチ回路SLTのPMOS側に電源電圧 V_{cc} を供給してセンスラッチ回路SLTを活性状態にしてノードNaの電位すなわち保持データを確定させる。

(6) 次に、伝送MOSFET Q_{t1}のゲート制御信号 TR_{CU} をロウレベルにしてオフさせてからデータ線DL aの他端のディスチャージMOSFET Q_{d2}のゲート制御信号 DDC_U をハイレベルにしてデータ線DL aの電位を V_{ss} までディスチャージさせる。

【0042】以上の動作をすべてのデータ線について同時に行なうことによって、データラッチ列12a、12bからセンスラッチ列11へのデータ転送が行なえる。

【0043】さらに、上記構成のメモリアレイにおいては、以下に述べる方法によっていわゆるエラティックビットの検出が可能であり、本実施例のフラッシュメモリにおいてはエラティックビットを検出してそれを補修するシーケンスが設けられている。ここで、エラティックビットとは、その原因は明らかでないが同一の書込みパルスが印加されたメモリセルの中で突然しきい値が下がり過ぎて誤データの書込みがなされてしまったものを指す。すなわち、データ“00”に対応するしきい値となるように書込みパルスを印加したり、データ“10”に対応するしきい値となるように書込みパルスを印加した

にもかかわらず、しきい値が下がり過ぎて、データ“01”に対応するしきい値を有するようなメモリセルが発生することが経験的に知られている。

【0044】そこで、この実施例では、データ“00”およびデータ“10”に対応するメモリセルの書込みを行なう際にその書込みデータをデータラッチ回路に残しておいて書込み終了後にセンスラッチ回路にデータを読み出してデータ線上で比較を行なうことでエラティックビットの検出を行なうようにしている。その具体的手順を図3および図8を参照しながら説明する。

(1) 書込み終了後にデータラッチDLTに保持されている書込みデータを使用して、データ線DL_aを選択的に1.0Vのようなレベルにプリチャージする。すなわち、データ“1”を保持しているデータラッチに接続されているデータ線のみをプリチャージする。なお、このとき反対側のマットのデータ線DL_bは、0.5Vにプリチャージする。

(2) 書込みを行なったメモリセルが接続されているワード線を、目標としたしきい値よりも低い読出しレベルに設定して読出しを行なう。このとき正常な書込みがなされたメモリセルはオフであるためデータ線はプリチャージ電位のままであるが、エラティックビットのメモリセルはオン状態となるため、データ線はディスチャージされる。

(3) データ線上の伝送MOSFET Q_{t1}をオンしてセンスラッチ回路DLTによりデータ線のレベルを検出する。

(4) センスラッチ回路SLTに電源電圧を供給して検出したデータ線レベルを増幅する。

(5) データ線上のディスチャージ用MOSFET Q_{d2}をオンしてすべてのデータ線をディスチャージする。

(6) データラッチDLTに保持されている書込みデータを使用して、データ線DL_aを再度選択的に1.0Vのようなレベルにプリチャージする。反対側のマットのデータ線DL_bは0.5Vにプリチャージする。

(7) センスラッチ回路SLTに保持されているデータ線を使ってMOSFET Q_{c1}を選択的にオンさせるとともに、その電源端子をV_{ss}としてデータ線DL_aを選択的にディスチャージする。このときデータ線上の伝送MOSFET Q_{t1}はオフ状態である。これによって、正常な書込みがなされたメモリセルが接続されたデータ線はディスチャージされるが、エラティックビットを生じたメモリセルが接続されたデータ線はディスチャージされない。

(8) センスラッチ回路SLTの電源電圧を遮断し、ディスチャージ用MOSFET Q_{d1}をオンしてセンスラッチ回路SLTをリセットする。

(9) データ線上の伝送MOSFET Q_{t1}をオンしてセンスラッチ回路DLTによりデータ線のレベルを検出する。ディスチャージ用MOSFET Q_{d1}はオフす

る。

(10) センスラッチ回路SLTに電源電圧を供給して検出したデータ線レベルを増幅する。

【0045】以上の手順により、エラティックビットを生じたメモリセルが接続されたセンスラッチ回路SLTにはデータ“1”が保持される。従って、センスラッチ回路SLTに“1”が残っているか否かを後述の書込・消去判定回路33(図9参照)によって検出することでエラティックビットが発生したか否か検出し、エラーフラグを立てて外部に知らせたり、センスラッチ回路SLTに残ったデータを使用してエラティックビットを消去状態にし再書込みを行なうことで、データを補修するようなことができる。

【0046】なお、エラティックビットはしきい値が下がり過ぎる現象であるため、しきい値の最も低いメモリセルに関しては書込みによりエラティックビットが生じても読出し時に誤データとはならない。ワード線に最も低い読出しレベル(1.7V)が印加されたときに、正常な書込みが行なわれたメモリセルと同様にオン状態となるからである。仮にエラティックビットのしきい値が0V以下になった場合には、ワード線を0Vにしたままセンスラッチを活性化すればそのメモリセルはオン状態にされているため、読出しデータが“1”となるので、書込みデータが残っていないとしても検出することができる。上記実施例においては、しきい値の最も低いメモリセルの書込みを最初に行なうようにしているため、最初の書込みに使用した書込みデータがセンスラッチ回路から失われてもエラティックビットの検出の上で何ら支障はない。

【0047】次に、メモリセルの通常の読出し動作について説明する。データの読出しは、ワード線を立ち上げて上記ベリファイ動作の時のように、メモリセルのコントロールゲートの電位を3段階(各しきい値の中間の値)に変化させ、またデータ線DLを介して選択メモリセルのドレインに1Vの電圧を印加し、またローカルソース線SSLを接地点に接続することにより行なう。しきい値がワード線のレベルよりも低いメモリセルはオン状態とされるためこのメモリセルが接続されたデータ線は接地電位にディスチャージされる。一方、しきい値がワード線のレベルよりも高いメモリセルはオフ状態とされるためこのメモリセルが接続されたデータ線は1Vのままにされる。この電位をセンスラッチ回路SLTまたはデータラッチ回路DLTにより検出することで1次読出しデータが得られる。

【0048】より具体的には、読み出し動作が開始されると、まず選択ワード線のレベルを3.5Vにして選択メモリセルからデータを読み出してデータラッチ列12aに保持させる。次に、選択ワード線のレベルを2.7Vにして選択メモリセルからデータを読み出してデータラッチ列12bに保持させる。最後に、選択ワード線の

レベルを1.7Vにして選択メモリセルからデータを読み出してデータラッチ列11に保持させる。このようにしてワード線レベルを3段階に変化させることにより、同一メモリセルから3種のデータが順次読み出されてデータラッチ列12a、12bとセンスラッチ列11に保持されるので、これらの読み出されたデータに対して論理演算を実施して逆変換することで書き込まれたデータ

と同じ読み出しデータを2ビット単位で復元することができる。

【0049】表2には、メモリセルの記憶データと各ラッチへの1次読み出しデータおよび逆変換後の読み出しデータを示す。

【0050】

【表2】

メモリデータ	1回目読出	2回目読出	3回目読出	読出データ	
	Vwr=3.5V	Vwr=2.7V	Vwr=1.7V	I/O 0	I/O 1
01	0	0	0	0	1
00	0	0	1	0	0
10	0	1	1	1	0
11	1	1	1	1	1

なお、上記逆変換は、データ変換回路20内にそのような論理演算回路を設けて行なってもよいが、メモリアレイ10内のデータ線を用いてデータラッチ列12a、12bとセンスラッチ列11に保持されているデータ同士のワイヤード論理（論理和あるいは排他的論理和）をとることで実行することもできる。また、読み出し動作は、読み出しを指令するコマンドが入力されることにより実行される。図9には、上記メモリアレイ10、データ変換回路20および制御回路並びにメモリ周辺回路を同一半導体チップ上に備えた多値フラッシュメモリの全体の構成例が示されている。

【0051】この実施例のフラッシュメモリは、特に制限されないが、外部のCPU等から与えられるコマンドをデコードするコマンドデコーダ31と、該コマンドデコーダ31のデコード結果に基づいて当該コマンドに対応した処理を実行すべくメモリ内部の各回路に対する制御信号を順次形成して出力する制御回路（シーケンサ）32とを備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を実行するように構成されている。上記制御回路32は、例えばマイクロプログラム方式のCPUの制御部と同様に、コマンド（命令）を実行するのに必要な一連のマイクロ命令群が格納されたROM（リードオンリメモリ）からなり、コマンドデコーダ31がコマンドに対応したマイクロ命令群の先頭アドレスを生成して制御回路32に与えることにより、マイクロプログラムが起動されるように構成されている。

【0052】図9において、図4と同一符号が付されている回路部分は同一の機能を有する回路である。すなわち、10は2つのメモリマットMAT-A、MAT-Bで構成されたメモリアレイ、20は外部から入力された書き込みデータを2ビットごとに4値データに変換するデータ変換回路、11は変換された書き込みデータや読み出しデータを保持するセンスラッチ列、12a、12bはデータラッチ列である。

【0053】メモリアレイ10には、各メモリマットM

AT-A、MAT-Bに対応してそれぞれX系のアドレスデコード13a、13bと、該デコード13a、13bのデコード結果に従って各メモリマット内の1本のワード線WLを選択レベルに駆動するワードドライブ回路14a、14bが設けられている。特に制限されないが、この実施例のメモリアレイ10では、上記ワードドライブ回路が各メモリマットの両側および中央に配置されている。図2や図3には示されていないが、Y系のアドレスデコード回路およびこのデコードによって選択的にオン、オフされてデータ変換回路20からのデータに対応するセンスラッチに転送させるカラムスイッチは、センスラッチ列11と一体的に構成されている。図9には、このY系デコード回路とカラムスイッチとセンスラッチ回路とが、1つの機能ブロックY-DEC&SLTで示されている。

【0054】この実施例の多値フラッシュメモリには、上記各回路の他、書き込み時や消去時にセンスラッチ列11のデータに基づいて書き込みまたは消去が終了したか判定して上記制御回路32に知らせ書き込みシーケンスまたは消去シーケンスを終了させる書込・消去判定回路33や、内部の動作に必要なタイミングクロックを形成してメモリ内部の各回路に供給するクロック発生回路34、メモリ内部の状態を反映するとともに外部に対して外部からアクセスが可能か否かを示すレディ/ビジー信号R/Bを信号を形成して出力したり内部回路をテストする機能を備えたステータス&テスト系回路35、メモリアレイ10から読み出された信号を増幅するメインアンプ回路36、電源系回路37、外部から入力されるアドレス信号や書き込みデータ信号およびコマンドを取り込んで内部の所定の回路に供給するとともに読み出しデータ信号を外部へ出力するための入出力バッファ回路38、外部から入力される制御信号を取り込んで制御回路32その他内部の所定の回路に供給したり上記入出力バッファ回路38を制御する制御信号入力バッファ&入出力制御回路39、アドレス制御系回路40、メモリアレイ内に不良

ビットがあった場合に予備メモリ行と置き換えるための冗長回路41等が設けられている。

【0055】この実施例のフラッシュメモリは、アドレス信号と書込みデータ信号およびコマンド入力とで外部端子(ピン)I/Oを共用している。そのため、入出力バッファ回路38は、上記制御信号入力バッファ&入出力制御回路39からの制御信号に従ってこれらの入力信号を区別して取り込み所定の内部回路に供給する。また、上記電源系回路37は、基板電位等の基準となる電圧を発生する基準電源発生回路や外部から供給される電源電圧Vccに基づいて書込み電圧、消去電圧、読出し電圧、ベリファイ電圧等チップ内部で必要とされる電圧を発生するチャージポンプ等からなる内部電源発生回路、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してメモリアレイ10に供給する電源切り替え回路、これらの回路を制御する電源制御回路等からなる。

【0056】上記アドレス制御系回路40は、外部から入力されるアドレス信号を取り込んでカウントアップするアドレスカウンタACNTや、データ転送時にYアドレスを自動的に更新したりデータ消去時等に自動的にXアドレスを発生するアドレスジェネレータAGEN、入力アドレスと不良アドレスとを比較してアドレスが一致したときに選択メモリ行または列を切り換える救済系回路等からなる。

【0057】外部のCPU等からこの実施例のフラッシュメモリに入力される制御信号としては、例えばリセット信号RESやチップ選択信号CE、書込み制御信号WE、出力制御信号OE、コマンドもしくはデータ入力かアドレス入力かを示すためのコマンドイネーブル信号CDE、システムクロックSC等がある。

【0058】なお、上記実施例の多値フラッシュメモリを制御する外部の装置としては、アドレス生成機能とコマンド生成機能を備えていればよいので、汎用マイクロコンピュータLSIを用いることができる。

【0059】以上説明したように、上記実施例においては、複数のしきい値を設定して1つのメモリセルに多値の情報を記憶させるようにした不揮発性半導体記憶装置において、消去レベルから遠いしきい値のメモリセルへの書込みから開始して順次しきい値が近いメモリセルへの書込みを行なうようにしたので、ワード線ディスタープの影響を最も受け易い消去レベルに近いしきい値のメモリセルに対してかかるワード線ディスタープの回数を減らすことができ、ワード線ディスタープによるしきい値の変動を最小に抑えることができるという効果がある。

【0060】また、従来の書込み方式では、第1段階の書込みの際にしきい値をずらしたいすべてのメモリセルに対して書込みパルスを印加するため、書込み時のピーク電流が増大するとともに平均消費電力も多くなるという

不都合があったが、上記実施例では目標とするしきい値の異なるメモリセルごとに書込みパルスを印加すれば良いので、1回の書込みでプリチャージしなければならないデータ線数と書込み開始から終了するまでにプリチャージしなければならないデータ線の総数を従来方式に比べて少なくして、書込み時のピーク電流と平均消費電力を低減することができるという効果がある。

【0061】しかも、上記実施例では、書込みワード線電圧を目標しきい値に応じてその絶対値が徐々に小さくなるように制御しているため、1回に生じるディスタープの量も次第に小さくなり、しきい値の変動を更に小さくすることができる。

【0062】さらに、上記実施例では、メモリアレイが2つのマットで構成され、2つのマット間には各マット内のデータ線が入出力端子に接続され上記データ変換回路で変換された3ビットデータのうち1ビットを保持可能なセンスラッチ回路が配置され、各マットの外側にはそれぞれ上記データ変換回路で変換された3ビットデータのうち他の1ビットをそれぞれ保持可能なデータラッチ回路が配置され、データラッチ回路とセンスラッチ回路との間でデータ線を介してデータ転送を行なうようにしているため、データ変換回路側に交換後のデータを保持するレジスタを設ける必要がないとともに、エラティクビットの検出も簡単に行なえるようになるという効果がある。

【0063】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、メモリセルのしきい値を4段階に設定して一つのメモリセルに4値のデータを記憶できるようにしているが、メモリセルのしきい値を3段階あるいは5段階以上に設定するようにした不揮発性メモリに適用することも可能である。

【0064】また、実施例では2ビットデータを4値データに変換する方式の一例として、表1に示すような変換を行なっているが、変換方式は表1に示すものに限定されず、結果として“1”の立っているビットの位置の異なるデータが得られるものであればよい。また、データ逆変換のための演算も表2のものに限定されず、元の2ビットデータを復元できるものであればどのような変換であっても良い。

【0065】さらに、各メモリセルに対する書込み方式も、実施例のように、一旦消去を行なってしきい値を高くした後に書込みパルスでしきい値を下げる方式に限定されず、書込みパルスでしきい値を高くする方式等であっても良い。また、実施例では、データ“1”を保持するセンスラッチ回路に対応するメモリセルに書込みを行なってしきい値を変化させているが、データ“0”を保持するセンスラッチ回路に対応するメモリセルに書込み

を行なってしきい値を変化させるようにしても良い。

【0066】さらに、上記実施例では、メモリアレイを2つのマットによって構成した場合について説明したが、この発明はそれに限定されず、偶数個のマットに分割した場合はもちろん1つのマットで構成されている場合にも適用することができる。メモリアレイが1つのマットで構成された場合には、例えばデータ変換回路で変換後のデータを2回に分けて転送するなどの方式を適用すれば良い。

【0067】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である一括消去型フラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、FAMOSを記憶素子とする不揮発性記憶装置一般さらには複数のしきい値を有するメモリセルを備えた半導体装置に広く利用することができる。

【0068】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0069】すなわち、この発明は、ワード線ディスタープによるメモリセルのしきい値の変動を最小に抑えることが可能であるとともに、書き込み時のピーク電流と平均消費電力を低減可能な不揮発性半導体記憶装置を実現することができる。

【図面の簡単な説明】

【図1】この発明に係る多値フラッシュメモリのデータ書き込み方法の概略を示す説明図である。

【図2】この発明に係る多値フラッシュメモリのメモリアレイの構成例を示す回路図である。

【図3】センスラッチ回路SLTおよびデータラッチ回路DLTの具体例を示す回路図である。

【図4】本発明に係る多値フラッシュメモリにおける2ビットの書き込みデータを4値のデータに変換するデータ

変換回路の一実施例を示す論理回路図である。

【図5】実施例の多値フラッシュメモリの書き込み時のデータ入力タイミングを示すタイミングチャートである。

【図6】実施例の多値フラッシュメモリの書き込み手順を示すフローチャートである。

【図7】データラッチ回路DLTからセンスラッチ回路SLTへのデータ転送時の信号タイミングを示すタイミングチャートである。

【図8】エラーティックビットの検出の具体的手順のタイミングを示すタイミングチャートである。

【図9】本発明に係る多値フラッシュメモリの一実施例の概略を示す全体ブロック図である。

【図10】実施例のフラッシュメモリに使用されるメモリセルの構造およびデータ書き込み時の電圧状態を示す模式図である。

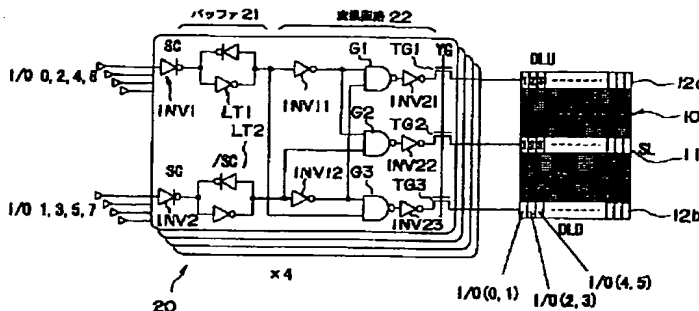
【図11】実施例のフラッシュメモリに使用されるメモリセルの消去時の電圧状態を示す模式図である。

【図12】先願発明に係る多値フラッシュメモリにおけるデータ書き込み方法の概略を示す説明図である。

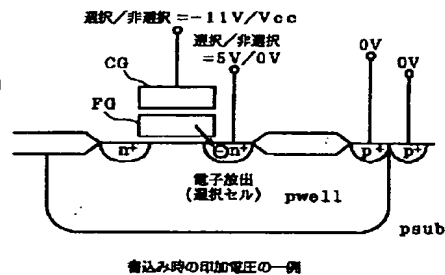
【符号の説明】

- 10 メモリアレイ
- 11 センスラッチ列
- 12a, 12b データラッチ列
- 13 X系アドレスデコーダ
- 14 ワードドライブ回路
- 20 データ変換回路
- 21 バッファ部
- 22 データ変換部
- SLT センスラッチ回路
- DLT データラッチ回路
- DL データ線
- WL ワード線
- MC メモリセル

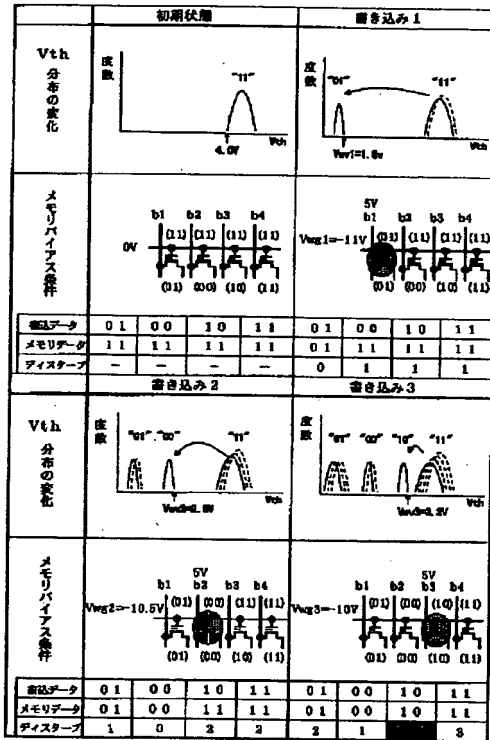
【図4】



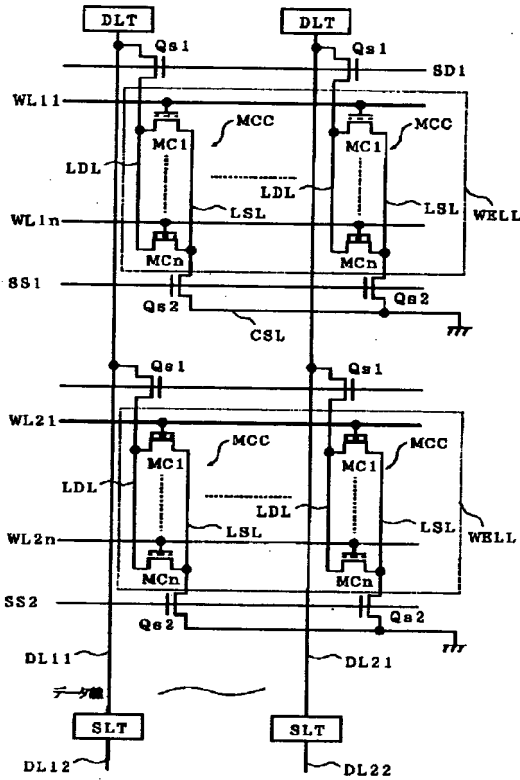
【図10】



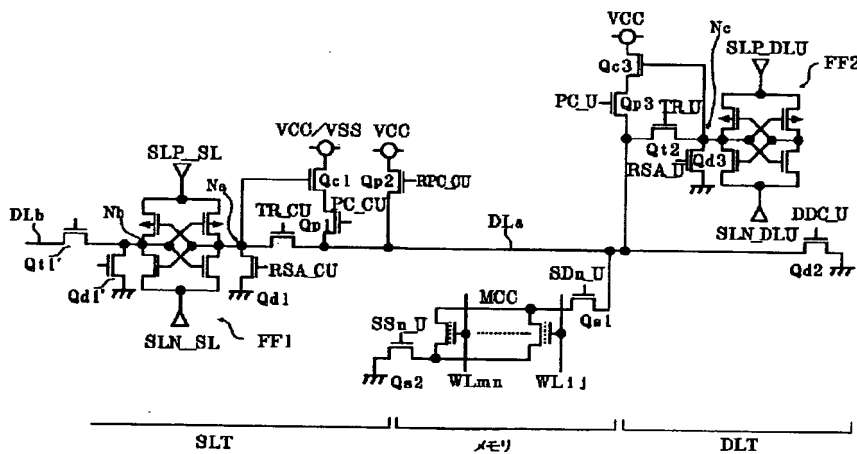
【図1】



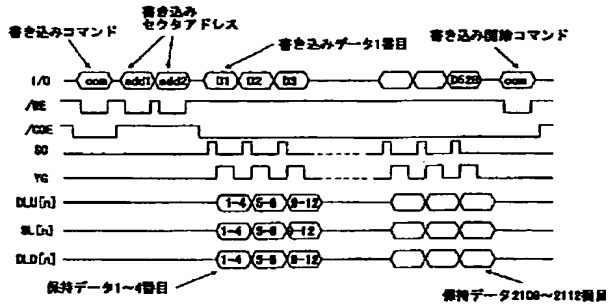
【図2】



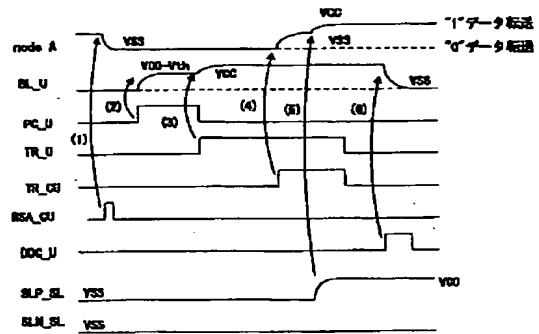
【図3】



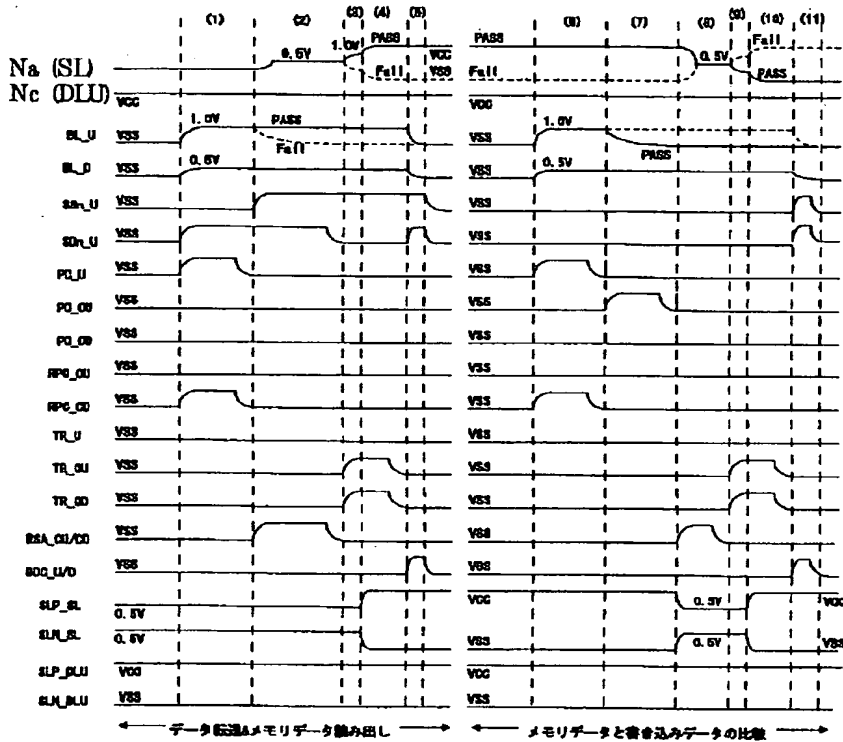
【図5】



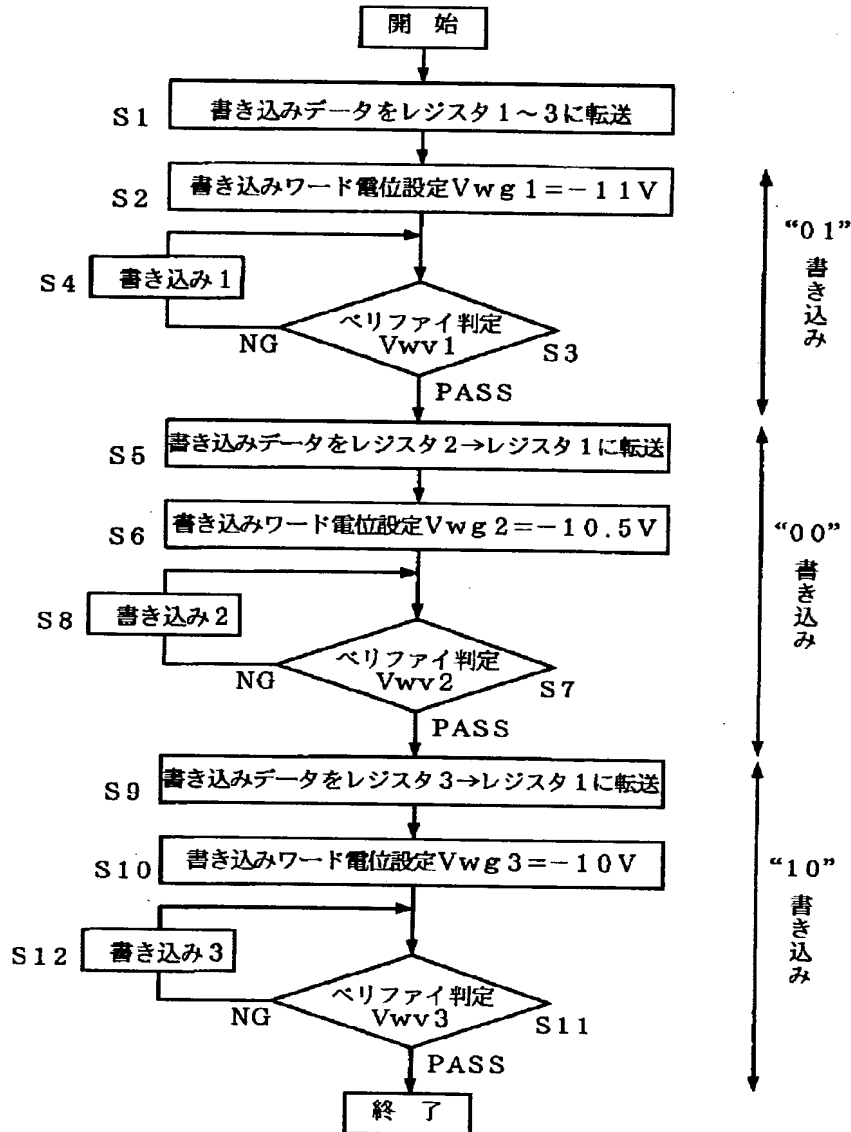
【図7】



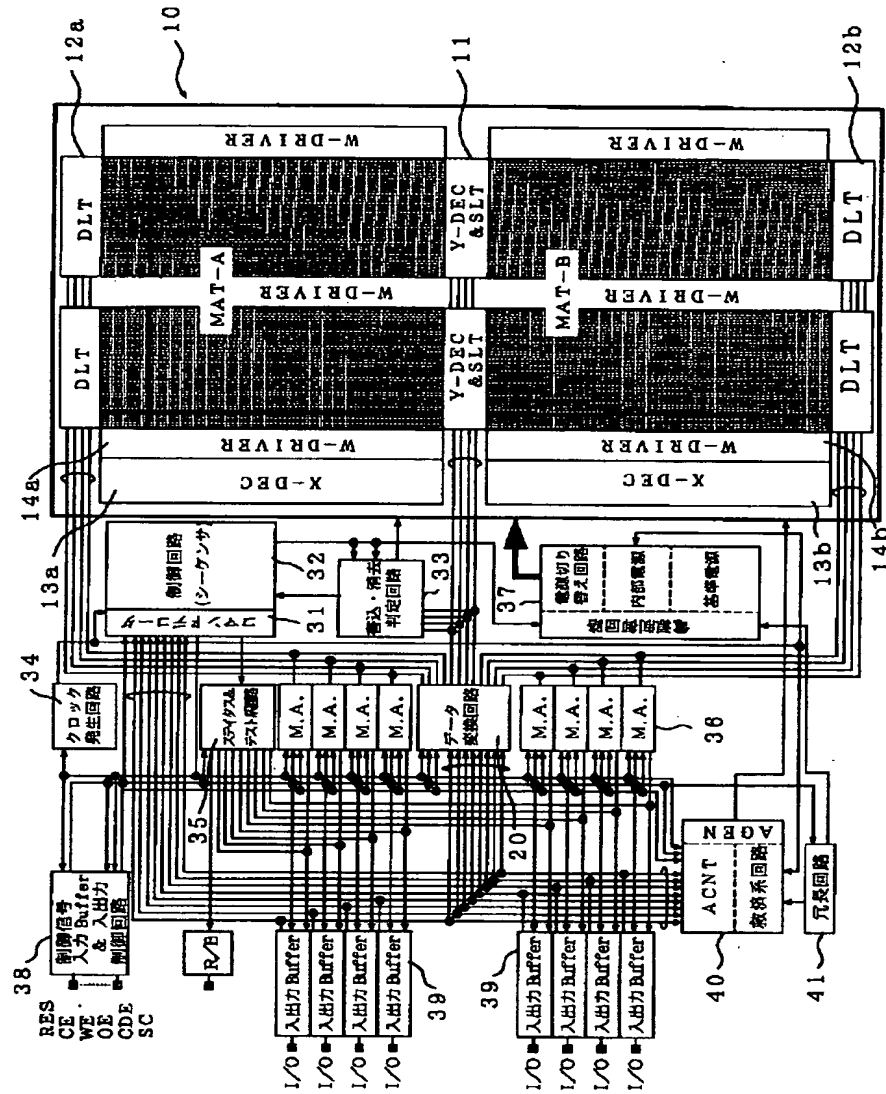
【図8】



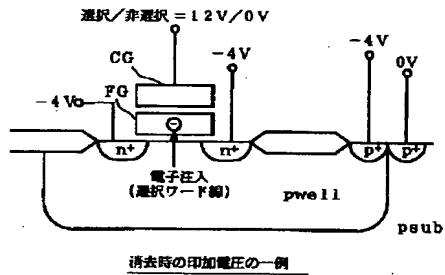
【図6】



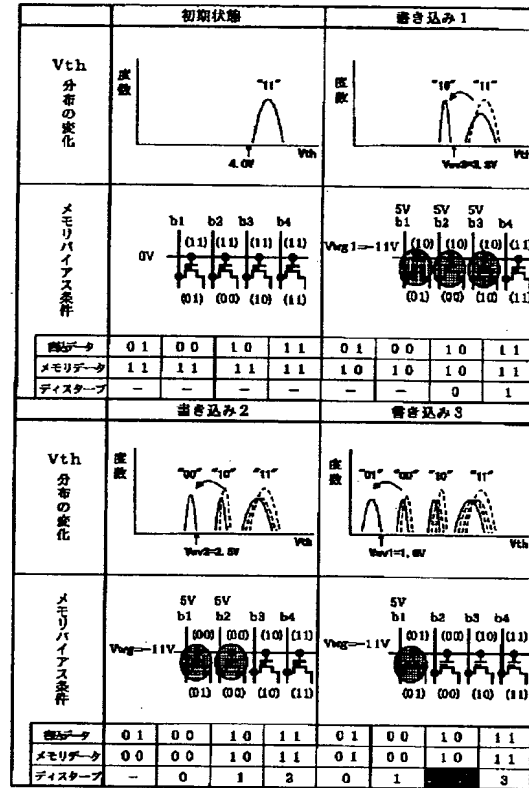
【図9】



【図11】



【図12】



フロントページの続き

(72)発明者 久保 昌次
 東京都小平市上水本町5丁目20番1号 日
 立超エル・エス・アイ・エンジニアリング
 株式会社内